

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86418

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8229

27/102

27/04

7210-4M

H 0 1 L 27/ 10

3 9 1

8832-4M

27/ 04

C

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平5-226828

(22) 出願日

平成5年(1993)9月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 藤本 修

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 寒川 誠一

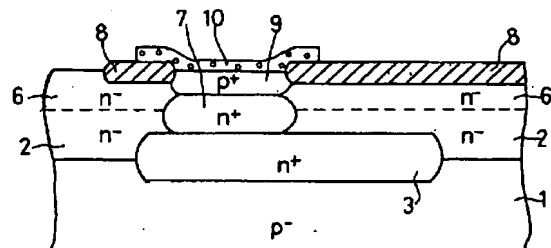
(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【目的】 半導体装置の製造方法、特に、PN接合容量の形成方法及び半導体記憶装置に関し、PN接合部の面積を小さくしても十分な大きさの接合容量が得られるようにするPN接合容量の形成方法を提供する。

【構成】 一導電型の半導体基板1の一部領域に反対導電型の第1の埋め込み層3を形成した後、反対導電型の第1のエピタキシャル層2を形成し、次に第1のエピタキシャル層2のPN接合形成領域に、第1の埋め込み層3に接するように反対導電型の第2の埋め込み層7を形成して反対導電型の第2のエピタキシャル層6を形成し、次いで第2のエピタキシャル層6の第2の埋め込み層7に対応する領域に一導電型の不純物を導入し、アニールをなして一導電型の不純物拡散層9を形成し、反対導電型の第2の埋め込み層7との間にPN接合容量を形成する。

PN接合容量



1

## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板(1)の一部領域に反対導電型の第1の埋め込み層(3)を形成し、該第1の埋め込み層(3)の形成された前記一導電型の半導体基板(1)上に前記反対導電型の第1のエピタキシャル層(2)を形成し、

該第1のエピタキシャル層(2)のPN接合形成領域に、前記第1の埋め込み層(3)に接するように前記反対導電型の第2の埋め込み層(7)を形成し、

該第2の埋め込み層(7)の形成された前記第1のエピタキシャル層(2)上に前記反対導電型の第2のエピタキシャル層(6)を形成し、

該第2のエピタキシャル層(6)の前記第2の埋め込み層(7)に対応する領域に前記一導電型の不純物を導入し、アニールをなして一導電型の不純物拡散層(9)を形成し、前記反対導電型の前記第2の埋め込み層(7)との間にPN接合容量を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、第2のエピタキシャル層(6)に導入する一導電型の不純物の量とアニールの温度及び時間とを調整してPN接合容量の大きさを調整することを特徴とする半導体装置の製造方法。

【請求項3】 一導電型の半導体基板(1)と、該一導電型の半導体基板(1)の表面に形成された反対導電型の第1のエピタキシャル層(2)と、該第1のエピタキシャル層(2)の表面に形成された第2のエピタキシャル層(6)とを備えた半導体装置において、

前記半導体基板(1)と前記第1のエピタキシャル層(2)との間に形成された反対導電型の第1の埋め込み層(3)と、

該第1の埋め込み層(3)の表面に形成された反対導電型の第2の埋め込み層(7)と、

該第2の埋め込み層(7)の表面に形成された一導電型の不純物層(9)とを有し、且つ、

少なくとも、前記第2の埋め込み層(7)と前記不純物層(9)との間に接合容量を有することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法、特に、PN接合容量の形成方法及び半導体装置に関する。

## 【0002】

【従来の技術】IC(半導体集積回路)の $\alpha$ 線によるソフトエラー耐性を改善するためには、PN接合容量を大きくすることが必要である。

【0003】従来のPN接合容量の形成方法としては、図7に示すように、例えばp型シリコン基板11上にn

2

+型埋め込み層13を形成した後n<sup>-</sup>型エピタキシャル層12をエピタキシャル成長し、このn<sup>-</sup>型エピタキシャル層12のPN接合形成領域にp型不純物をn<sup>+</sup>型埋め込み層13に接するように導入してp<sup>+</sup>型不純物拡散領域14を形成し、このp<sup>+</sup>型不純物拡散領域14とn<sup>+</sup>型埋め込み層13との接合部にPN接合容量を形成する方法が知られている。

## 【0004】

【発明が解決しようとする課題】接合容量の大きさはPN接合部の面積によって決まる。ICの集積度を向上させるためにはPN接合部の面積を縮小しなければならないが、面積を縮小すると接合容量が小さくなって $\alpha$ 線によるソフトエラー耐性が低下する。

【0005】本発明の目的は、この欠点を解消することであり、PN接合部の面積を小さくしても十分な大きさの接合容量が得られるようにするPN接合容量の形成方法と、この形成方法を使用して形成されたPN接合容量が組み込まれた半導体装置とを提供することにある。

## 【0006】

【課題を解決するための手段】上記の目的のうち、半導体装置の製造方法は、一導電型の半導体基板(1)の一部領域に反対導電型の第1の埋め込み層(3)を形成し、この第1の埋め込み層(3)の形成された前記の一導電型の半導体基板(1)上に前記の反対導電型の第1のエピタキシャル層(2)を形成し、この第1のエピタキシャル層(2)のPN接合形成領域に、前記の第1の埋め込み層(3)に接するように前記の反対導電型の第2の埋め込み層(7)を形成し、この第2の埋め込み層(7)の形成された前記の第1のエピタキシャル層

(2)上に前記の反対導電型の第2のエピタキシャル層(6)を形成し、この第2のエピタキシャル層(6)の前記の第2の埋め込み層(7)に対応する領域に前記の一導電型の不純物を導入し、アニールをなして一導電型の不純物拡散層(9)を形成し、前記の反対導電型の前記の第2の埋め込み層(7)との間にPN接合容量を形成する工程を有する半導体装置の製造方法によって達成される。なお、前記の第2のエピタキシャル層(6)に導入する一導電型の不純物の量とアニールの温度及び時間とを調整してPN接合容量の大きさを調整するとよい。

【0007】上記の目的のうち、半導体装置は、一導電型の半導体基板(1)と、この一導電型の半導体基板(1)の表面に形成された反対導電型の第1のエピタキシャル層(2)と、この第1のエピタキシャル層(2)の表面に形成された第2のエピタキシャル層(6)とを備えた半導体装置において、前記の半導体基板(1)と前記の第1のエピタキシャル層(2)との間に形成された反対導電型の第1の埋め込み層(3)と、この第1の埋め込み層(3)の表面に形成された反対導電型の第2の埋め込み層(7)と、この第2の埋め込み層(7)の

表面に形成された一導電型の不純物層(9)とを有し、且つ、少なくとも、前記の第2の埋め込み層(7)と前記の不純物層(9)との間に接合容量を有する半導体装置によって達成される。

【0008】

【作用】一導電型の不純物拡散層9と反対導電型の第2の埋め込み層7の不純物拡散距離(深さ)はいずれも短いため、PN接合部における不純物濃度を従来より高くすることができ、大きな接合容量を形成することができる。したがって、集積度向上のためにPN接合部の面積を縮小しても十分な大きさの接合容量を形成することができ、 $\alpha$ 線によるソフトエラー耐性を改善することができる。

【0009】

【実施例】以下、図面を参照して、本発明の一実施例に係るPN接合容量の形成方法とその方法を使用して形成された接合容量が組み込まれた半導体記憶装置とについて説明する。

【0010】図2参照

周知の方法を使用してp<sup>-</sup>型シリコン基板1の一部領域にn<sup>+</sup>型不純物をイオン注入し、次いでn<sup>-</sup>型の第1のシリコン層2をエピタキシャル成長する。これにより、n<sup>+</sup>型の第1の埋め込み層3が形成される。

【0011】図3参照

レジスト膜4を形成し、これをパターニングして接合容量形成領域に開口5を形成する。

【0012】図4参照

レジスト膜4の開口5を介してn<sup>-</sup>型の第1のシリコン層2にn<sup>+</sup>型不純物をイオン注入した後レジスト膜4を除去し、n<sup>-</sup>型の第2のシリコン層6をエピタキシャル成長する。これにより、n<sup>+</sup>型の第2の埋め込み層7が接合容量形成領域に形成される。

【0013】なお、PN接合容量形成領域を除く領域の第1及び第2のシリコン層2・6にバイポーラトランジスタを形成する場合は、トランジスタの耐圧を従来と同レベルに保つためにn<sup>-</sup>型の第1のシリコン層2とn<sup>-</sup>型の第2のシリコン層6の合計厚さは図7に示す従来のn<sup>-</sup>シリコン層12の厚さと同じにしなければならない。また、PN接合部の不純物濃度を高くするためには、n<sup>-</sup>型の第2のシリコン層6の厚さは薄い方がよい。

【0014】図1参照

従来と同一の方法を使用して、n<sup>+</sup>型の第2の埋め込み層7上を除く領域に選択的にフィールド酸化膜8を形成する。次いで、n<sup>+</sup>型の第2の埋め込み層7上のn<sup>-</sup>型の第2のシリコン層6に選択的にp<sup>+</sup>型不純物をイオン注入し、アニールを施してこの不純物を拡散させてp<sup>+</sup>型不純物拡散領域9を形成し、n<sup>+</sup>型の第2の埋め込み層7との間にPN接合を形成する。以下、通常の方法を使用してポリシリコン、アルミニウム等の電極10を形

成する。

【0015】図5参照

図5にバイポーラトランジスタをもって構成されたエミッタカップルドロジック(ECL)型ランダムアクセスメモリ(RAM)の回路図を示す。この回路図において、ワードラインとバイポーラトランジスタBPTのコレクタとの間に接続されている容量C<sub>wc</sub>とバイポーラトランジスタBPTのコレクタとベースとの間に接続されている容量C<sub>cb</sub>を前記の接合容量の形成方法を使用して形成した場合の装置断面図を、本発明と直接関係のある図5に破線をもって囲んだ範囲のものについて図6に示す。

【0016】図6参照

図6において、1はp<sup>-</sup>型シリコン基板であり、3はn<sup>+</sup>型の第1の埋め込み層であり、2はn<sup>-</sup>型の第1のシリコン層であり、6はn<sup>-</sup>型の第2のシリコン層であり、7はn<sup>+</sup>型の第2の埋め込み層であり、9はp<sup>+</sup>型不純物拡散領域である。p<sup>+</sup>型不純物拡散領域9とn<sup>+</sup>型の第2の埋め込み層7との間にPN接合が形成されて接合容量C<sub>wc</sub>と接合容量C<sub>cb</sub>とが構成される。記号BPTをもって示される範囲は周知のバイポーラトランジスタであるので詳細な説明は省略するが、21はエミッタであり、22はベースであり、23はコレクタ電極コンタクト領域であり、24はフィールド酸化膜であり、Eはエミッタ電極であり、Bはベース電極であり、Cはコレクタ電極である。

【0017】接合容量C<sub>wc</sub>の電極25をワードラインに接続することによってワードラインとコレクタ電極Cとの間に接合容量C<sub>wc</sub>が挿入される。また、接合容量C<sub>cb</sub>の電極26をベース電極Bに接続することによってベース電極Bとコレクタ電極Cとの間に接合容量C<sub>cb</sub>が挿入される。

【0018】

【発明の効果】以上説明したとおり、本発明に係る半導体装置の製造方法及び半導体装置においては、反対導電型の第1の埋め込み層上に反対導電型の第2の埋め込み層を形成し、この反対導電型の第2の埋め込み層上に一導電型の不純物拡散領域を形成してPN接合を形成しているため、PN接合部の不純物濃度をこれまでより高くすることが可能になり、小さい接合部面積で大きな接合容量を形成することができるようになった。この結果、ICの集積度を向上した場合にも $\alpha$ 線に対するソフトエラー耐性が良好となり、半導体装置の信頼性の向上に寄与するところが多い。

【図面の簡単な説明】

【図1】本発明に係るPN接合容量の断面図である。

【図2】PN接合容量の製造工程図である。

【図3】PN接合容量の製造工程図である。

【図4】PN接合容量の製造工程図である。

【図5】ECL RAMの回路図である。

5

【図6】ECL RAMに本発明に係るPN接合容量を使用した場合の断面図である。

【図7】従来技術に係るPN接合容量の断面図である。

【符号の説明】

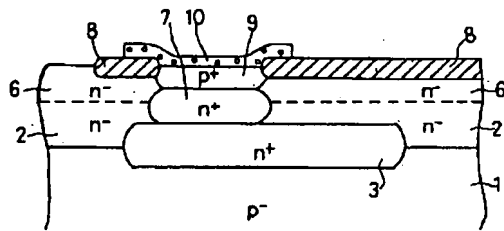
- 1 p<sup>-</sup>型シリコン基板
- 2 n<sup>-</sup>型の第1のシリコン層
- 3 n<sup>+</sup>型の第1の埋め込み層
- 4 レジスト膜
- 5 開口
- 6 n<sup>-</sup>型の第2のシリコン層
- 7 n<sup>+</sup>型の第2の埋め込み層
- 8 フィールド酸化膜
- 9 p<sup>+</sup>型不純物拡散領域
- 10 電極
- 11 p<sup>-</sup>型シリコン基板

6

- 12 n<sup>-</sup>シリコン層
- 13 n<sup>+</sup>型埋め込み層
- 14 p<sup>+</sup>型不純物拡散領域
- 21 エミッタ
- 22 ベース
- 23 コレクタ電極コンタクト領域
- 24 フィールド酸化膜
- 25 接合容量C<sub>WC</sub>の電極
- 26 接合容量C<sub>CB</sub>の電極
- 10 E エミッタ電極
- B ベース電極
- C コレクタ電極
- BPT バイポーラトランジスタ
- C<sub>CB</sub> コレクタ・ベース間接合容量
- C<sub>WC</sub> ワードライン・コレクタ間接合容量

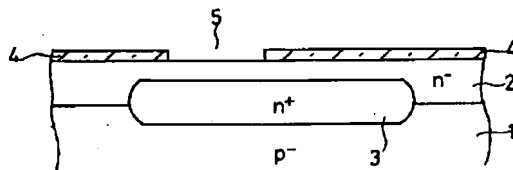
【図1】

PN接合容量



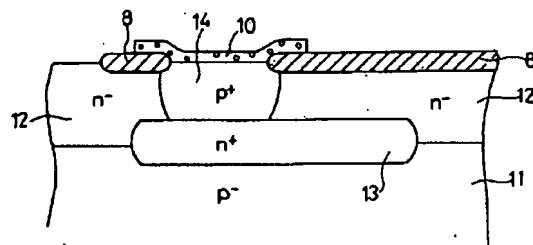
【図3】

工程図



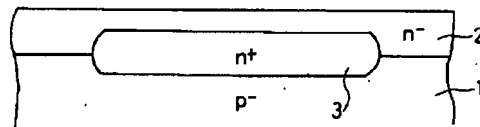
【図7】

従来技術



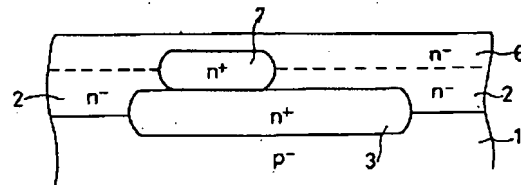
【図2】

工程図



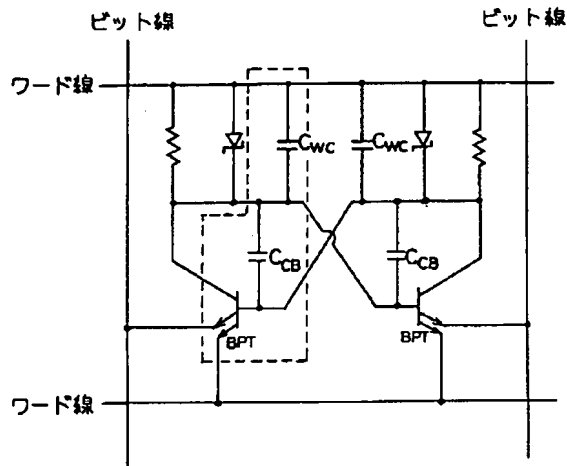
【図4】

工程図



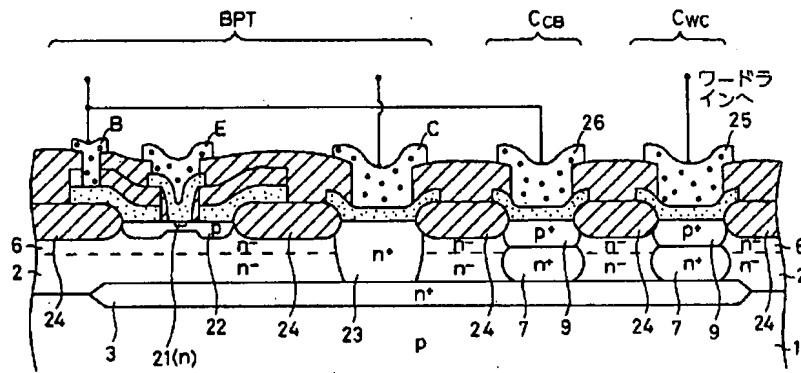
【図5】

ECL RAM回路図



【図6】

ECL RAM断面図



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H01L 21/822

識別記号 庁内整理番号

F I

技術表示箇所